

B 3 9

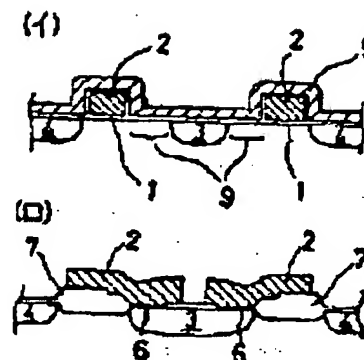
**ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE**

**Patent number:** JP4307974  
**Publication date:** 1992-10-30  
**Inventor:** YOSHIMI.MASANORI  
**Applicant:** SHARP CORP  
**Classification:**  
- international: H01L29/788; H01L29/792; H01L27/115  
- european:  
**Application number:** JP19910073239 19910405  
**Priority number(s):**

**Abstract of JP4307974**

**PURPOSE:** To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

**CONSTITUTION:** One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 2 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4 審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シャープ  
株式会社内

(74) 代理人 弁理士 野阿 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE  
EPROMにおけるF-Nトンネリングによる消去を円  
滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラ  
インとで2つのEEPROMセルを構成し、各フローテ  
ィングゲートの一方側をホットエレクトロンによる書き  
込み部位とし他方側をF-Nトンネリングによる一括消  
去部位として機能分離する。

こでできなかった。また、この場合、フレイソと一チャイノグザート間のF-Nトノホリソグを利用すとも考えられるが、これを達成するには、フレイソ校的充電圧を印加する必要が生じる。従って、必然リウク電度を防止すべくフレイソ接合耐圧を上昇すどが要求され、そのためにはフレイソ接合の温度ノキールをなだかにする必要があるので、この場合にホウトエレクトロンの発生効率が悪くなり、書き込み性が低下する不都合があった。

(009) この発明は、かかる状況下なされたもので、ことにソー入側オプセプト面に選択ゲートを構成し、EEPROMにおいても、ソー入側からのF-Nトリンソグによる消去を可能とする構造を提供しようとするものである。

010]

図を解決するための手段] かくしてこの発明によれ一ス領域とその両側に配置される一対のフレイソ領域これらの間で設定される一対のゲート領域、このト領域上に配置される一対のフロアチャイノグザートのフロアチャイノグザート上に配置されるコンソグザートを備え、上記一対の各フロアチャイノグザート(α) 各ソー入オプセプトを介して上記ゲート領域に位置して一対のフレイソ駆動書き込み部を構成す書き込み部位と、(b) 各ソー入両側に配置されたホキル酸化膜上に位置して一つのソー入駆動消去部を設ける消去部位、を有してなり、上記コンローアルが、上記一対のフロアチャイノグザートの書き込み部及びソー入オプセプト上を共通して置ように配置さる電氣的消去可能不揮発性半導体記憶装置が提供される。

(011] この発明は、上記装置を解決すべく、フロアチャイノグザートを機能的に書き込み部位と消去部位に於て、消去部位側ではソー入オプセプトを設けることな、ホキル酸化膜を配設して1つの消去部位を構成し、書き込み部位側ではソー入オプセプトを設けて一対の書き込み部位を構成するという手段を講じたものである。

[012]

[作用] フレイソ駆動書き込み部ににおいては、ソー入オプセプトが確保されておりこのオプセプト上のコンローグザートを選択ゲートとすることができ、かつホウトロソの注入がオプセプトを有しない各フレイソから行なわれるため、各々円滑な書き込みが行なわれ

(013] 一方、ソー入駆動消去部においてはソー入オプセプトを有さないため、ソー入領域の両側に配設さるトノホリ酸化膜を介してソー入側からのF-Nトリンソグが行なわれ、円滑な消去が一括して行なわれることとなる。

0014]

実施例] 以下、添付図面に示す実施例に基づいてこの

**【特許請求の範囲】**

【請求項1】 ソー入領域とその両側に配置される一対のフレイツ領域及びこれらの間で設定される一対のソー入領域、このソー入領域上に配置される一対のソー入領域と及びこのソー入領域上に配置される一対のフレイツ領域との各ソー入領域を介して上記ソー入領域に位置する一対のフレイツ駆動電圧を供給する構成とするべき部分位、(a) 各ソー入領域に位置されたソー入領域化膜上に位置して一つのソー入領域消去部を構成する消去部位、を有してなり、上記コンドロアルゲートが、上記一対のフロッピーゲートの書き込み部位及びソー入オフセットと共通して電圧よくに配置されてなる電気的消去可能不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電気的消去可能な不揮発性半導体記憶装置(EEPROM)に関する。さらに詳しくは、高度微細化に適したEEPROMの素子構造に関する。

【従来の技術】 従来から、電気的消去可能不揮発性半導体記憶装置(EEPROM)として種々の構造のもの知られており、いずれもいわゆるフロッピーゲートを有し、ホットエレクトロンによる書き込みやフェリ(Fowler-Nordheim)トンネリングによる消去/書き込みを利用している。

【0003】 そして選択ゲート(セレクトションゲート)を有さない、いわゆる初期のスタックゲートEEPROMにおいては、フレイツ偏よりホットエレクトロンによる書き込みが行なわれ、ソー入側よりフェルトンネリングによる消去が行なわれる。

【0004】 しかしながら、このようにソー入側よりフェルトンネリングにより消去する構造では、しばしば過剰消去が生じてメモリーセルがチャイリ-ジョン化する欠点がある。

【0005】 このため、選択ゲートを組合せて上記過剰消去を防止することがしばしば行なわれている。

【0006】

【発明が解決しようとする課題】 しかしながら、選択ゲートを併立して設けるとメモリーセルの専有面積が増加し、EEPROMの集積度が著しく低下する。

【0007】 そのため、EEPROMを構成するソー入ライントロ-チャイリ-ゲートと同一にオフセットを設け、このオフセット部に選択ゲートを配置することも考えられる。

【0008】 しかしながら、この場合には、オフセット部の存在により、ソー入とフロッピーゲート間のフェルトンネリングが生じ難く、チャイリの消去を円滑に行-

発明を詳説する。

【0015】図1は、この発明の一実施例のEEPROMを示す平面構成説明図であり、図2(イ)は、図1のA-A'線断面説明図、図2(ロ)は同じくB-B'線断面説明図である。

【0016】これらの図に示すように、この発明のEEPROMは、シリコン基板表面のソースライン3とその両側に配置される一対のドレインライン4、4との間のゲート領域上に、絶縁膜を介してポリシリコンからなる1対のL字状フローティングゲート2を配設してなり、さらに、このフローティングゲート2上に層間絶縁膜を介して、共通するポリシリコンからなるコントロールゲート5を配設してなる。

【0017】上記フローティングゲート2は、図2(イ)に示すように、A-A'断面においては、ソースオフセット9を有してゲート領域のゲート酸化膜1、1上に位置する一対の書き込み部位(狭幅部分)を有する。ここでソースドレイン幅は1.6~2.0 $\mu$ m、ソースオフセットは0.8~1.0 $\mu$ mとするのが適している。かかる書き込み部位上のコントロールゲート5は、各々のソースオフセット上で選択ゲートとしても機能する。

【0018】一方、図2(ロ)に示すように、B-B'断面においては、ソースライン3の両側に配置されたトンネル酸化膜6上を被覆する消去部位(広幅部分)を有してなる。なお、図中、7は、ロコス酸化膜からなる素子分離領域である。

【0019】かかる構造のEEPROMにおいては、上記一対の書き込み部位において、各々ドレイン側からフローティングゲートへのホットエレクトロンの注入による書き込みが行なわれる。そして、消去部位においては、ソース側から両フローティングゲート2、2へ一括してF-Nトンネリングによる消去が行なわれることとなる。そして、上記ホットエレクトロンの注入及びF-Nトンネリングがコントロールゲートを選択ゲートとして制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下のようにして作製することができる。まず、図3に示すように、シリコン基板の所定の領域にロコス酸化法により、素子分離領域7を形成した後、メモリーセルのソース構成ラインのイオン注入及び酸素のイオン注入を行ってDDD構造のソースラインを形成する。表面を熱酸化に付して全面に例えば200~300Å程度のゲート酸化膜1を形成し、フォトリソグラフィのパターニング及びエッチングを行なうことにより、その一部にトンネル酸化膜用窓を形成し、フォトレジストの除去後、熱酸化を行なうことにより、各々、一対のトンネル酸化膜6を形成する。

【0021】次に、CVD法により全面にポリシリコンを堆積し、N型不純物拡散してフォトエッチングするこ

とにより、図5に示すように、各々狭幅領域と広幅領域を有する一対のL字状フローティングゲート2を形成する。

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトレジスト8を用いたフォトリソグラフィにより、メモリーセルのドレイン構成ラインに酸素をイオン注入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶縁膜(SiO<sub>2</sub>)を被覆形成した後、ポリシリコンの堆積層へのN型不純物拡散並びに堆積層のフォトリソグラフィによるパターニング及びエッチングを行なうことにより、図7に示すごとく、コントロールゲート5を形成してこの発明のEEPROMが得られる。

【0024】

【発明の効果】以上の様に、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作できるので、独立して消去用ゲートを設ける場合と比べメモリーセル専有面積が著しく減少され、さらなるEEPROMの高集積化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりF-Nトンネリングにより消去する電気的消去可能不揮発性半導体記憶装置の製造の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成説明図である。

【図2】(イ)は、図1のA-A'線断面説明図、(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】図3に続くレイアウト図である。

【図5】図4に続くレイアウト図である。

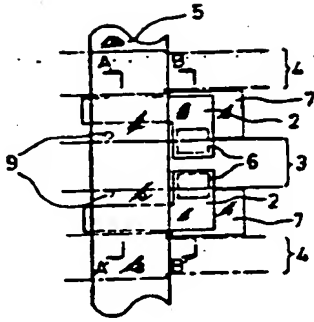
【図6】図5に続くレイアウト図である。

【図7】図6に続くレイアウト図である。

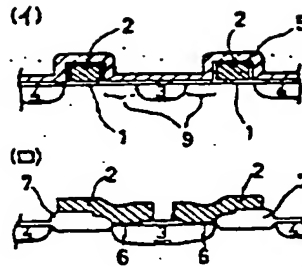
【符号の説明】

- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

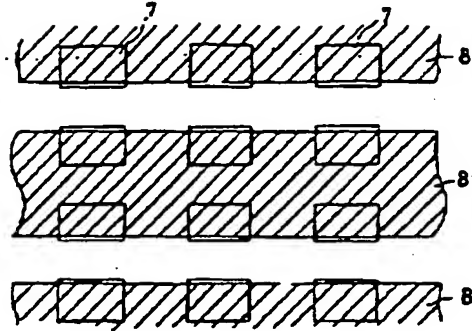
【図1】



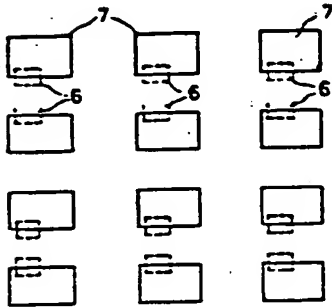
【図2】



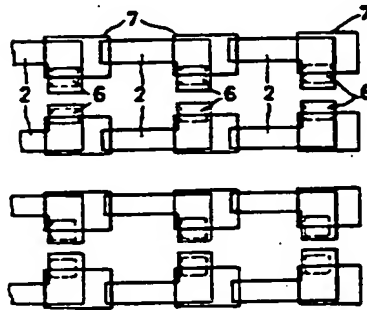
【図3】



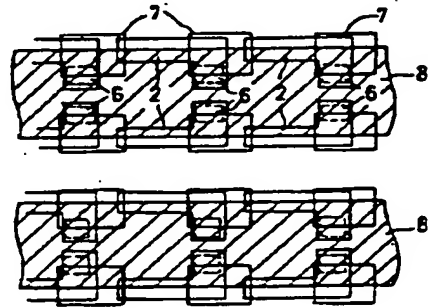
【図4】



【図5】



【図6】



【図7】

